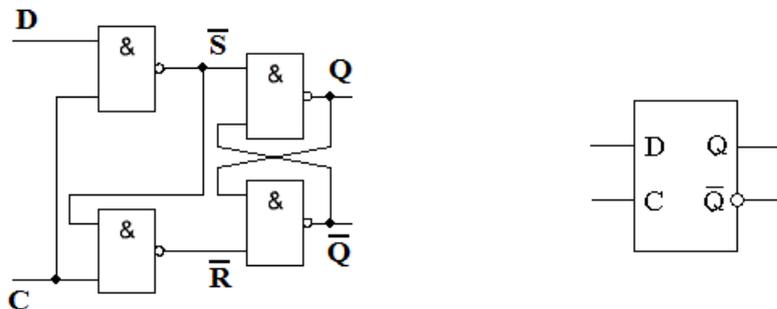


Еще раз о D-триггере.

D-триггеры бывают двух типов.

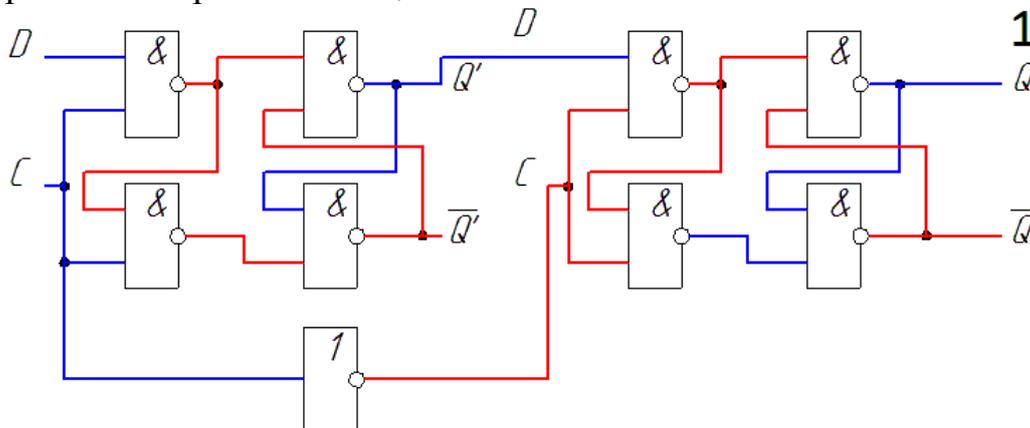
Первый тип — D-триггер защелка (latch), который срабатывает по уровню входа С. Этот тип D-триггера мы уже обсуждали на прошлой лекции, как некоторую промежуточную схему перед обсуждением D-триггера срабатывающего по фронту тактового импульса.



Здесь вторая пара схем 2И-НЕ — это RS-триггер, запись в который происходит низким логическим уровнем. Вход С является входом разрешения для двух левых схем 2И-НЕ. Если на входе разрешения высокий логический уровень, то выходы двух левых схем 2И-НЕ имеют противоположные логические значения. При этом они переводят правую пару 2И-НЕ либо в состояние Set, либо в состояние Reset.

Заметим, что состояние триггера защелкивается в момент перехода на низкий уровень входа С, а пока вход С остается на высоком логическом уровне сигнал с линии данных пропускается на выход Q. Если при высоком уровне на входе С уровень входа D изменяется, то одновременно изменяется выход Q. Если изменения на входе D происходят несколько раз за время высокого уровня на входе С, то несколько раз изменяется напряжение на выходе Q. Это может быть неудобно.

Это неудобство исключено во втором типе D-триггера, который срабатывает по фронту тактового импульса (flip-flop trigger), но в два этапа в отличие от того гипотетического варианта D-триггера, который мы рассматривали на прошлой лекции.

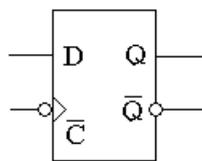


При переходе входа С на высокий уровень во вторую слева пару схем 2И-НЕ происходит передача состояния входа D, как в рассмотренную ранее D-триггер защелку. Тактовый вход С правой четверки схем 2И-НЕ при этом остается низким, запрещающим запись в правый D-триггер защелку. То есть

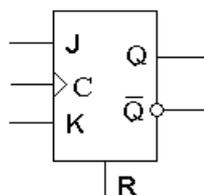
при изменениях входа D левой защелки при высоком уровне входа C левой защелки напряжение на выходе правой защелки не изменяется и вообще остается в состоянии, которое было до прихода высокого уровня на вход C левой защелки.

При переходе входа C левой защелки на низкий уровень левая защелка запоминает состояние входа D левой защелки и оставляет его на выходе левой защелки. Одновременно появляется высокий уровень на входе C правой защелки. Это позволяет запомнить в правую защелку данные, которые в этот момент были сохранены в левой защелке.

В результате данный flip-flop D trigger срабатывает по перепаду вниз на тактовом входе левой защелки. Соответственно его обозначение будет следующим:

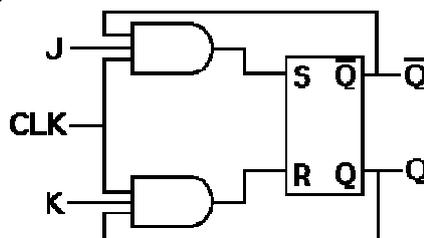


JK-триггер.

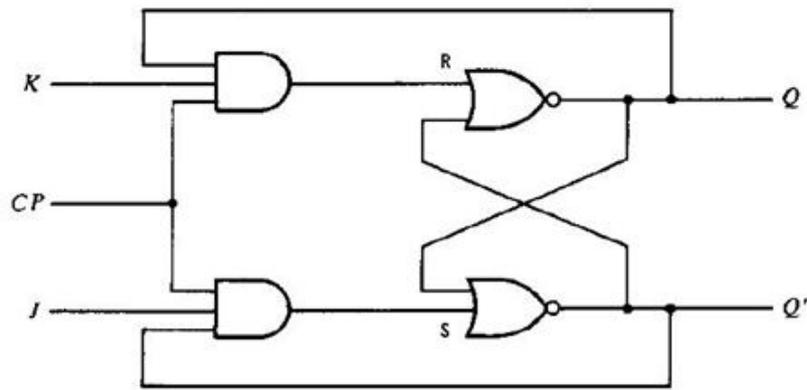


J	K	Q_{n+1}
0	0	Q_n
0	1	0
1	0	1
1	1	$\neg Q_n$

Пример реализации JK-триггера, который перебрасывается от очень короткого тактового импульса:



Эта же схема, в которой RS-триггер (защелка) представлен более подробно:



(a) Logic diagram

Q	J	K	$Q(t+1)$
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	0

(b) Characteristic table

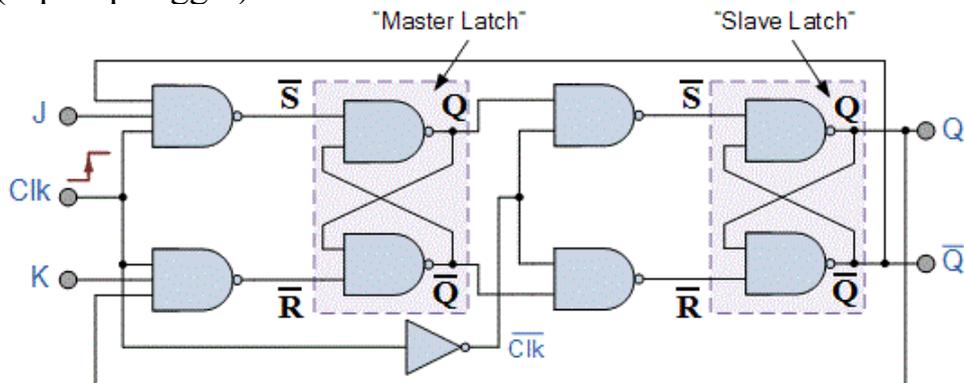
Q		JK			
		00	01	11	10
Q	0			1	1
	1	1			1

$$Q(t+1) = JQ' + K'Q$$

(c) Characteristic equation

Недостатком этой схемы является то, что при высоком уровне на входах J и K и постоянно высоком уровне напряжения на входе CP выходы схемы непрерывно переключаются с максимально высокой частотой, которая определяется быстродействием логических схем И и ИЛИ-НЕ.

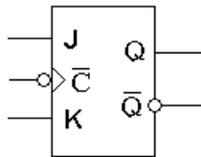
Этот недостаток устранен в так называемой двухступенчатой схеме триггера (flip flop trigger):



Здесь на растущем фронте тактового импульса происходит запись нового состояния в первый RS-триггер, а на падающем фронте тактового импульса происходит передача состояния из первого во второй RS-триггер. В первом RS-триггере сохраняется состояние на падающем фронте тактового импульса.

Запись в первую защелку происходит при высоком уровне на тактовом (левом) входе Clk, но сохраняемое состояние первой защелки соответствует напряжениям на входах J и K в момент перехода левого входа Clk на низкий уровень. В этот момент происходит запись в правую защелку, и состояние выходов правой защелки начинает влиять на левую пару схем ЗИ-НЕ, но эти схемы оказываются уже закрытыми низким уровнем на левом входе Clk и не реагируют на изменение состояний выходов.

Соответственно обозначение схемы должно быть следующим:

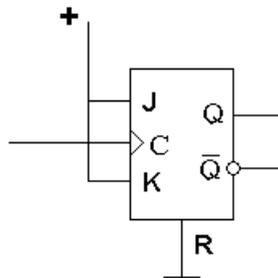


Т-триггер.

Если соединить входы J и K любого JK-триггера, то из JK-триггера получится так называемый Т-триггер, который переключается в противоположное состояние при каждом тактовом импульсе, если на входах высокий логический уровень, и остается в прежнем состоянии, если на входах низкий уровень.

Асинхронный счетчик.

На основе JK-триггера легко сделать делитель частоты импульсов на 2:



Асинхронный счетчик — несколько делителей частоты на 2 на JK-триггерах. Каждый инвертированный выход предыдущего триггера соединен с тактовым входом следующего триггера. Если тактовые входы инвертированы, то не инвертированный выход соединяют с тактовым входом следующего триггера.