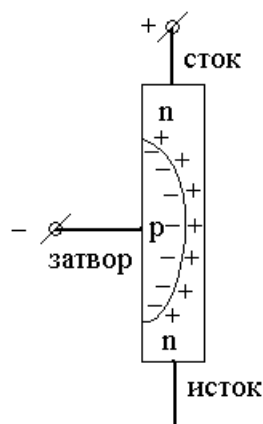


Полевой транзистор с $p-n$ переходом.

Полевой транзистор, например, с n -каналом — это биполярный $n-p-n$ транзистор, у которого между эмиттером n -типа и коллектором n -типа образовался тонкий канал того же n -типа.



Названия электродов полевого транзистора аналогичны по смыслу названиям электродов биполярного транзистора: вместо эмиттера, базы, коллектора здесь — исток, затвор, сток.

Полевой транзистор — это сопротивление управляемое запирающим напряжением на затворе. Сопротивление n -канала между истоком и стоком зависит от напряжения на затворе.

Понижение потенциала затвора относительно истока сильнее запирает диод между затвором и n -каналом. При этом в n -канале расширяется зона, обедненная носителями тока. Это приводит к увеличению сопротивления канала между стоком и истоком.

Дежурный полевой транзистор с n -каналом российского или советского производства — КП302. Цена одного транзистора втрое больше цены разового проезда в метро.

На рисунке полевой транзистор



с n -каналом и с p -каналом.

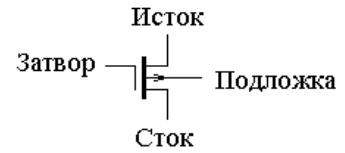
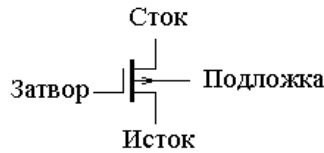
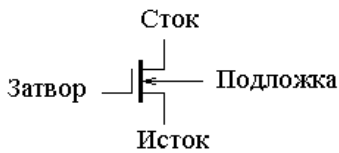
МОП-транзисторы

(MOSFET — metal–oxide–semiconductor field-effect transistor).

В МОП-транзисторе (металл окисел полупроводник) затвор изолирован от канала окислом SiO_2 . Подложка, исток и сток образуют обычный полевой транзистор с $p-n$ -переходом.

Напряжение на затворе любого МОП-транзистора может быть и положительным и отрицательным. Это преимущество МОП-транзистора.

Полевой МОП-транзистор



с n -каналом и с p -каналом.

Обычно подложка МОП транзистора соединена с истоком. В таком случае канал открыт по напряжению подложки и управляется напряжением затвора.

МОП транзисторы бывают обогащенного и обедненного типа. Транзисторы обогащенного типа удобнее в использовании, поэтому по умолчанию МОП транзистор — это транзистор обогащенного типа. Если подложка транзистора соединена с истоком, то по подложке транзистор открыт. Если затвор тоже соединить с истоком, то транзистор обедненного типа будет открыт, а транзистор обогащенного типа будет закрыт.

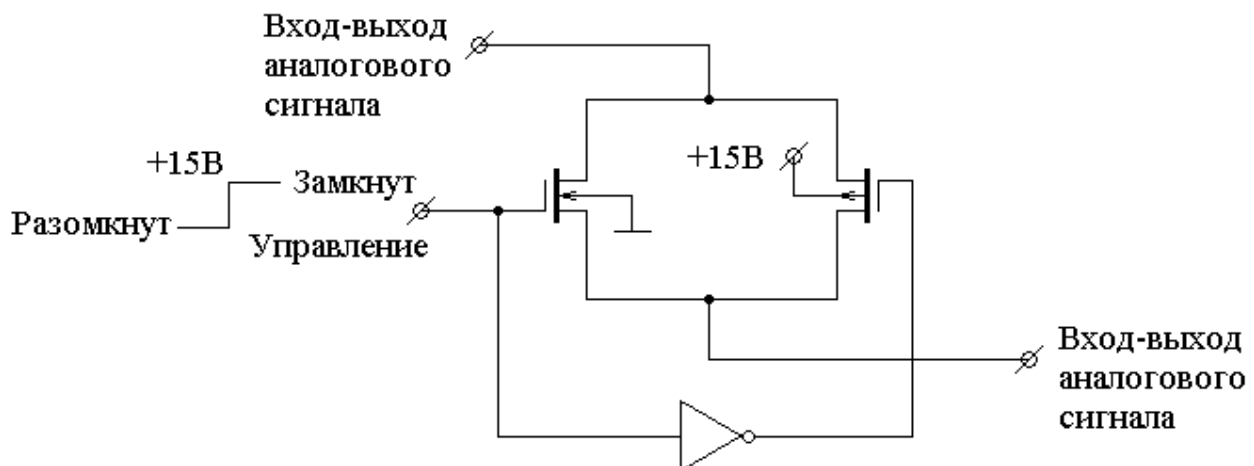
Далее рассмотрим, например, МОП транзистор с n -каналом. Для нормальной работы транзистора напряжение на стоке должно быть больше, чем напряжение на истоке. Транзистор обогащенного типа открывается большим положительным напряжением на затворе относительно истока.

Для нормальной работы транзистора с p -каналом напряжение на стоке должно быть ниже (минусее), чем напряжение на истоке. Транзистор обогащенного типа с p -каналом открывается большим отрицательным напряжением на затворе относительно истока.

Транзисторы обогащенного типа удобнее, так как переключение транзистора происходит при напряжении на затворе той же полярности, что и напряжение питания (напряжение на стоке).

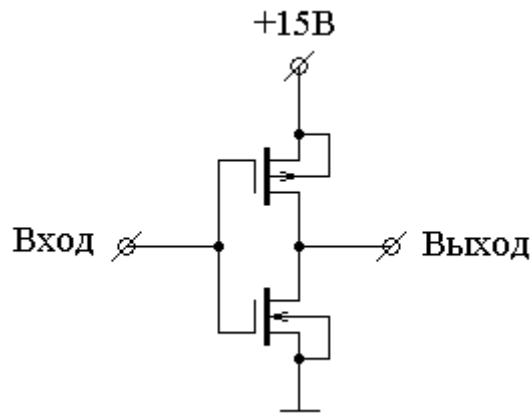
Аналоговые ключи на полевых транзисторах.

Пример аналогового ключа на обогащенных МОП-транзисторах (**MOSFET**), который способен пропускать без искажений положительные аналоговые сигналы от 0 В до +15 В.



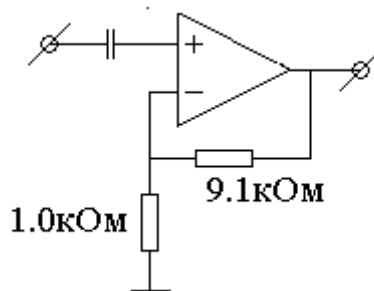
Логический КМОП-инвертор.

Логический инвертор на обогащенных КМОП-транзисторах (комплементарные металл-окисел-полупроводник транзисторы). Комплементарные транзисторы имеют одинаковые характеристики, но работают при напряжениях противоположного знака.

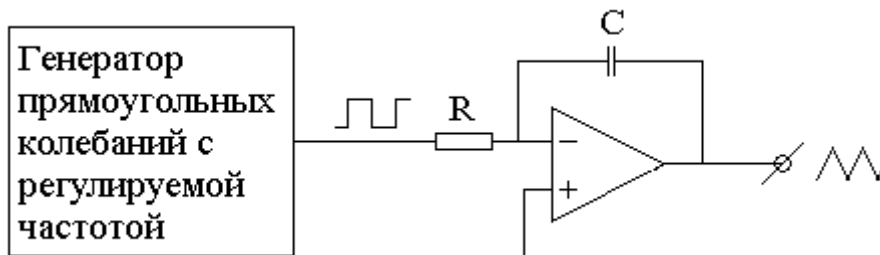


Негодные схемы.

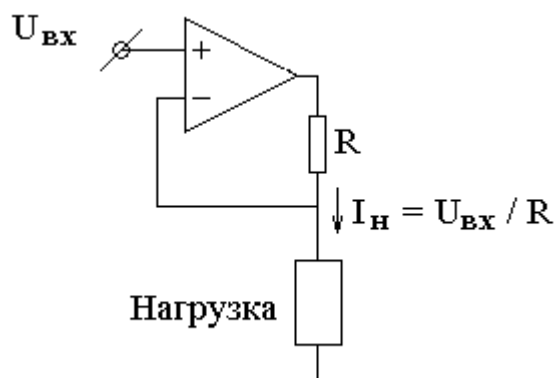
Десятикратный усилитель переменного тока:

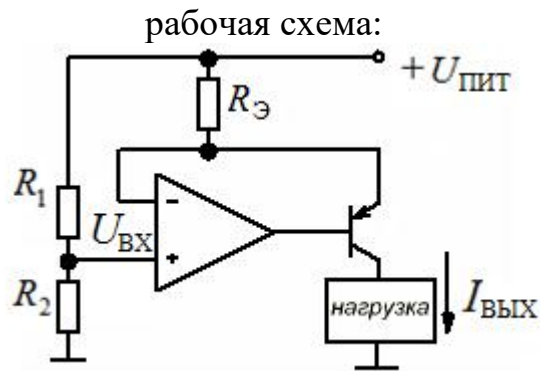


Генератор треугольных колебаний с регулируемой частотой:



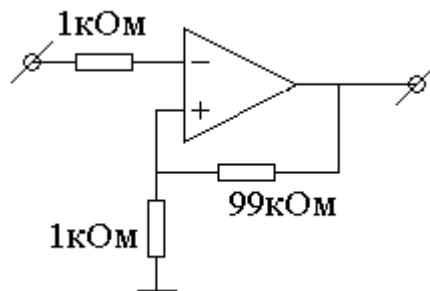
Источник тока, программируемый напряжением:





здесь $I_{вых} = \frac{U_{пит} - U_{вх}}{R_3}$.

100-кратный усилитель постоянного напряжения:



Логические микросхемы.

Обычно логические микросхемы имеют однополярное питание +5 Вольт и имеют ногу, соединенную с общим проводом схемы.

На входах и выходах логических схем различают только два напряжения: около нуля (логический ноль) и около +5 Вольт (логическая единица).

ТТЛ логические микросхемы. КМОП (CMOS) логические микросхемы. Напряжение питания. Логический порог. Выход с открытым коллектором. МОП логические микросхемы и отрицательная логика.

Работа простейших логических схем характеризуется таблицей истинности.

Рассмотрим для примера логическую схему 2И. Схема имеет два входа, поэтому 2И, и один выход. Таблица истинности схемы 2И имеет вид:

0	0		0
0	1		0
1	0		0
1	1		1

Здесь первый столбец — это возможные варианты логических уровней на первом входе схемы, второй столбец — уровни на втором входе схемы, третий столбец — уровни на выходе.

Таблица истинности для схемы 2И показывает, что напряжение логической единицы на выходе схемы присутствует в единственном случае, когда единица одновременно присутствует и на первом и на втором входе, поэтому — 2И.

Рассмотрим схему 2И-НЕ. Логические уровни на ее выходе отличаются от уровней схемы 2И тем, что они инвертированы:

0 0 | 1
 0 1 | 1
 1 0 | 1
 1 1 | 0

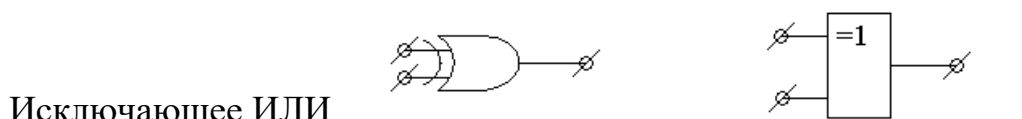
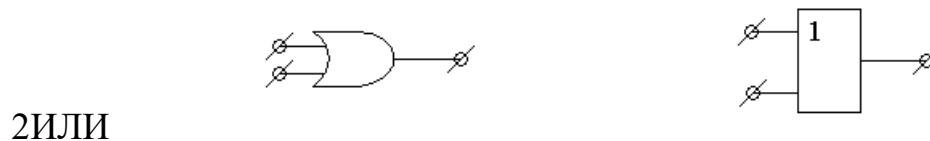
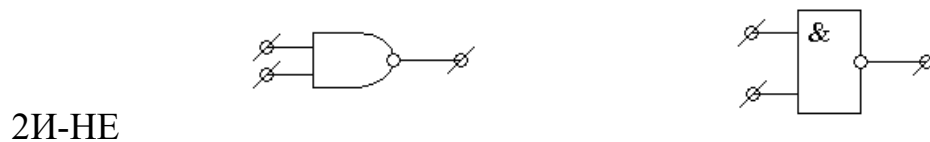
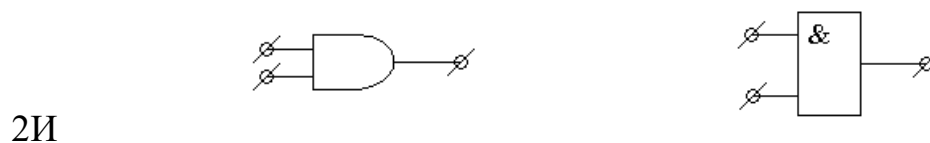
Для сравнения приведем таблицу истинности для схемы 3ИЛИ:

0 0 0 | 0
 0 0 1 | 1
 0 1 0 | 1
 0 1 1 | 1
 1 0 0 | 1
 1 0 1 | 1
 1 1 0 | 1
 1 1 1 | 1

Заметим, что в одном корпусе микросхемы обычно присутствуют несколько независимых логических схем с общим питанием и одним общим проводом. Например, 4-2И-НЕ — четыре схемы 2И-НЕ в одном корпусе.

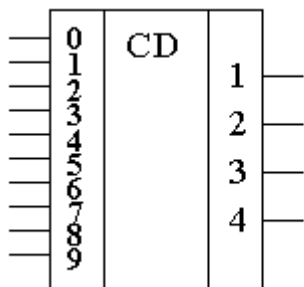
Условные обозначения логических микросхем в западной литературе и в советской литературе различаются.

Микросхема. Западная литература. Советская и российская литература.

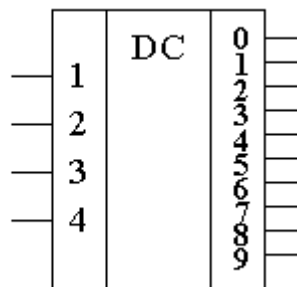


0 0 | 0
 0 1 | 1
 1 0 | 1
 1 1 | 0

Шифратор формирует номер канала, по которому пришла логическая единица. Дешифратор по номеру канала направляет логическую единицу.

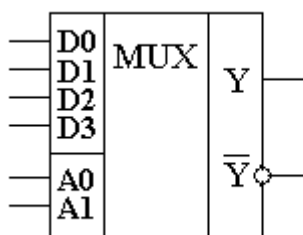


Шифратор (кодер).

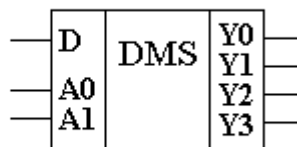


Дешифратор.

Мультиплексор подключает один из входов к выходу.



Мультиплексор.



Демультимплексор.

Последовательная логика. RS-триггер.

Рассмотренные до этого момента логические схемы — это схемы комбинационной логики. В схемах комбинационной логики состояние выходов однозначно определяется состоянием входов в текущий момент времени. В схемах последовательной логики состояние выходов сейчас зависит от состояния входов не только в текущий момент времени, но и от состояния входов в предшествующие моменты времени.

Простейшим примером последовательной логики является *RS*-триггер. *RS*-триггер — это элементарная ячейка памяти, в которую можно записать одно из двух состояний 0 или 1.

Рассмотрим работу логической схемы *RS*-триггера.

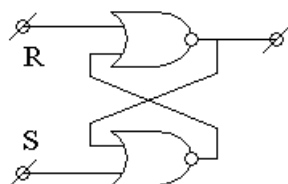


Схема состоит из двух логических схем 2ИЛИ-НЕ. Схема содержит два входа и один выход.

Вход *R* (reset) — сброс. Вход *S* (set) — установка.

В нормальном состоянии оба входа *R* и *S* находятся в состоянии логического нуля. При этом на выходе схемы может быть любое из двух состояний 0 или 1 в зависимости от предыстории состояний входов.

И действительно.

Предположим, что выход схемы находится в состоянии 1. Это напряжение поступает на верхний вход нижней схемы 2ИЛИ-НЕ. Тогда на входах нижней схемы 2ИЛИ-НЕ будут логические уровни 1 и 0. Логическая функция 2ИЛИ нижней схемы будет равна 1. Тогда выход нижней схемы 2ИЛИ-НЕ будет в состоянии 0. Это напряжение поступает на нижний вход верхней схемы 2ИЛИ-НЕ. На входах этой схемы будут уровни 0 и 0. Логическая функция 2ИЛИ верхней схемы будет равна 0. Тогда выход верхней схемы 2ИЛИ-НЕ будет в состоянии 1, что соответствует начальному предположению о состоянии 1 выхода всей схемы.

Предположим теперь, что выход всей схемы находится в состоянии 0. Это напряжение поступает на верхний вход нижней схемы 2ИЛИ-НЕ. Тогда на входах нижней схемы 2ИЛИ-НЕ будут логические уровни 0 и 0. Логическая функция 2ИЛИ нижней схемы будет равна 0. Тогда выход нижней схемы 2ИЛИ-НЕ будет в состоянии 1. Это напряжение поступает на нижний вход верхней схемы 2ИЛИ-НЕ. На входах этой схемы будут уровни 1 и 0. Логическая функция 2ИЛИ верхней схемы будет равна 1. Тогда выход верхней схемы 2ИЛИ-НЕ будет в состоянии 0, что соответствует начальному предположению о состоянии 0 выхода всей схемы.

Получается, что при нулевых значениях на входах R и S любое из двух возможных состояний 0 или 1 выхода схемы является устойчивым состоянием.

Предположим теперь, что на вход R поступает короткий импульс логической единицы 1. Логическая функция 2ИЛИ верхней схемы будет во время этого импульса равна 1 независимо от значения напряжения на втором входе верхней схемы 2ИЛИ-НЕ. Тогда на выходе верхней схемы 2ИЛИ-НЕ будет логический 0. Логический 0 на выходе всей схемы останется в устойчивом состоянии и после окончания импульса логической 1 на входе R . Следовательно, импульс на входе R сбрасывает выход всей схемы в состояние 0, то есть выполняет функцию reset.

Предположим теперь, что на вход S поступает короткий импульс логической единицы 1. Логическая функция 2ИЛИ нижней схемы будет во время этого импульса равна 1 независимо от значения напряжения на втором входе нижней схемы 2ИЛИ-НЕ. Тогда на выходе нижней схемы 2ИЛИ-НЕ будет логический 0. Это напряжение поступает на один из входов верхней логической схемы 2ИЛИ-НЕ. На обоих входах верхней логической схемы 2ИЛИ-НЕ при этом логические 0. Логическая функция 2ИЛИ верхней схемы будет равна 0. Тогда на выходе верхней схемы 2ИЛИ-НЕ будет логическая 1. Логическая 1 на выходе всей схемы останется в устойчивом состоянии и после окончания импульса логической 1 на входе S . Следовательно, логическая 1 на входе S устанавливает выход всей схемы в состояние 1, то есть выполняет функцию set.

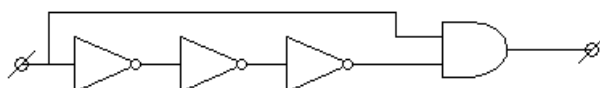
Рассматриваемый RS -триггер является элементарной ячейкой памяти, в которую можно записать одно из двух состояний 0 или 1. Записанное состояние остается в этой ячейке памяти и после того, как пропадает импульс записи.

Этот принцип сохранения состояния используется во всех более сложных микросхемах памяти.

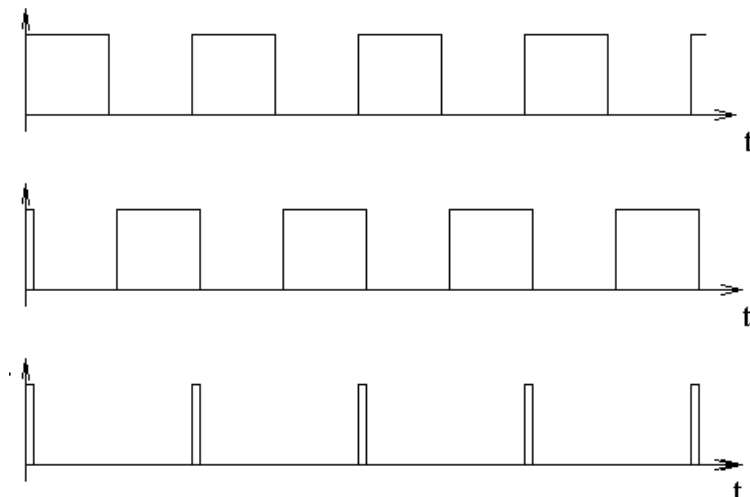
Логические иголки. Одновибратор.

В сложных схемах комбинационной логики возможны непредвиденные короткие импульсы на выходах, связанные с разным временем распространения логических сигналов по разным путям. Эти короткие импульсы называют логическими иголками. Логические иголки могут приводить к неожиданным срабатываниям логических схем.

В следующей схеме, если не учитывать конечное время распространения логического сигнала через каждый из трех инверторов, сигнал на выходе схемы 2И всегда ноль.



С учетом задержки распространения на выходе появляется короткий импульс при каждом перепаде вверх напряжения на входе схемы. Эту схему можно назвать одновибратором.



В сложных схемах короткие логические иголки могут представлять серьезную проблему. Для ее устранения была придумана синхронная последовательная логика.

Суть работы схем синхронной последовательной логики состоит в том, что они анализируют входные сигналы только на фронте так называемого тактового сигнала.

D-триггер защелка (latch).

В схеме, приведенной ниже, справа *RS*-триггер, выполненный на двух схемах ИЛИ-НЕ. Напряжение с верхнего *D*-входа схемы (вход данных *Data*) проходит на верхний или нижний вход *RS*-триггера и может сбросить или установить *RS*-триггер, но только в том случае, когда на нижнем *C*-входе (тактовом входе *Clock*) разрешающее высокое напряжение.

